

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,  
Please do not report the images to the  
Image Problem Mailbox.

(7)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-286078

⑪ Int.Cl.

H 04 N 5/91  
5/907  
5/92

識別記号

庁内整理番号

J-7734-5C  
B-6957-5C  
H-7734-5C

⑬ 公開 昭和63年(1988)11月22日

審査請求 未請求 発明の数 1 (全12頁)

⑭ 発明の名称 デジタル電子スチルカメラ

⑮ 特 願 昭62-120129

⑯ 出 願 昭62(1987)5月19日

⑰ 発 明 者 渡 辺 幹 夫 東京都港区西麻布2丁目26番30号 富士写真フイルム株式  
会社内⑱ 発 明 者 西 精 基 東京都港区西麻布2丁目26番30号 富士写真フイルム株式  
会社内⑲ 出 願 人 富士写真フイルム株式 神奈川県南足柄市中沼210番地  
会社

⑳ 代 理 人 弁理士 香取 孝雄 外1名

## 明 細 書

## 1. 発明の名称

デジタル電子スチルカメラ

## 2. 特許請求の範囲

1. 静止画像を撮らす映像信号がデジタルデータの形で蓄積される半導体メモリが接続されるデジタル電子スチルカメラにおいて、該カメラは、

前記半導体メモリを回路的に接続する接続手段と、

撮像デバイスを有し、該撮像デバイスで被写界を撮像して該被写界を撮らす映像信号を出力する撮像手段と、

該撮像手段から出力される映像信号を対応するデジタル信号に変換して前記接続手段へ出力する信号変換手段と、

前記撮像手段および信号変換手段を制御して該撮像手段に撮像を行なわせ、該信号変換手段に前記デジタル信号への変換を行なわせるとともに、前記接続手段に前記半導体メモリへの回込み

のための制御信号を供給する制御手段とを有し、

該制御手段は、前記信号変換手段から出力される映像信号を圧縮して前記接続手段に前記制御信号とともに供給することを特徴とするデジタル電子スチルカメラ。

2. 特許請求の範囲第1項記載のカメラにおいて、前記制御手段は、前記信号変換手段を制御し、該信号変換手段が前記撮像手段から出力された映像信号をデジタル信号に変換する際、該信号変換手段に該映像信号を圧縮させる信号圧縮手段を含むことを特徴とするデジタル電子スチルカメラ。

3. 特許請求の範囲第2項記載のカメラにおいて、前記信号圧縮手段は、前記信号変換手段に前記映像信号の水平走査線における画素を間引かせることによって、該映像信号を圧縮させることを特徴とするデジタル電子スチルカメラ。

4. 特許請求の範囲第1項記載のカメラにおいて、前記信号圧縮手段は、前記映像信号の水平走

画素を間引くことによって、該映像信号を圧縮することを特徴とするデジタル電子スチルカメラ。

5. 特許請求の範囲第2項記載のカメラにおいて、該カメラは、前記映像信号を圧縮する第1の動作モード、および該映像信号を圧縮しない第2の動作モードを選択的に前記制御手段に指示する操作手段を有することを特徴とするデジタル電子スチルカメラ。

6. 特許請求の範囲第5項記載のカメラにおいて、

前記信号変換手段は、サンプリングパルスに従って前記映像信号をサンプルしてデジタル信号に変換するアナログ・デジタル変換器を含み、

前記信号圧縮手段は、第1の動作モードが指定されているときは所定の周波数の第1のサンプリングパルスを該アナログ・デジタル変換器に供給し、第2の動作モードが指定されているときは該所定の周波数より低い周波数の第2のサンプリ

ングパルスを該アナログ・デジタル変換器に供給するサンプリングパルス発生手段を含むことを特徴とするデジタル電子スチルカメラ。

9. 特許請求の範囲第8項記載のカメラにおいて、前記信号圧縮手段は、前記信号変換手段から出力されたデジタル信号の下位の所定の桁数のビットを削除することによって該映像信号を圧縮することを特徴とするデジタル電子スチルカメラ。

10. 特許請求の範囲第1項記載のカメラにおいて、該カメラは、前記映像信号を圧縮する動作モードを示す信号を前記接続手段に前記制御信号とともに供給する動作モード信号発生手段を含むことを特徴とするデジタル電子スチルカメラ。

11. 特許請求の範囲第8項記載のカメラにおいて、該カメラは、前記映像信号を圧縮する第1の動作モード、および該映像信号を圧縮しない第2の動作モードを選択的に前記制御手段に指示する操作手段を有することを特徴とするデジタル電子スチルカメラ。

ングパルスを該アナログ・デジタル変換器に供給するサンプリングパルス発生手段を含むことを特徴とするデジタル電子スチルカメラ。

7. 特許請求の範囲第6項記載のカメラにおいて、前記サンプリングパルス発生手段は、

第1および第2のサンプリングパルスを発生するパルス発生器と、

第1および第2の動作モードに従ってそれぞれ第1および第2のサンプリングパルスを選択して前記信号変換手段に供給するサンプリングパルス選択手段とを含み、

前記パルス発生器は、前記接続手段には第1のサンプリングパルスを供給し、該接続手段は第1のサンプリングパルスに反応して映像信号を出力することを特徴とするデジタル電子スチルカメラ。

8. 特許請求の範囲第1項記載のカメラにおいて、前記制御手段は、前記信号変換手段から出力された映像信号を受けてこれを圧縮し、該圧縮された映像信号を前記接続手段に供給する信号圧縮

12. 特許請求の範囲第5項または第11項に記載のカメラにおいて、該カメラは、第1の動作モードが指示されているときは第1の動作モードを示す信号を、第2の動作モードが指示されているときは第2の動作モードを示す信号を前記接続手段に前記制御信号とともに供給する動作モード信号発生手段を含むことを特徴とするデジタル電子スチルカメラ。

### 3. 発明の詳細な説明

#### 技術分野

本発明は電子スチルカメラ、とくに、静止画像を要わず映像信号をデジタルデータの形で記憶装置に記憶するデジタル電子スチルカメラに関する。

#### 背景技術

たとえば特開昭59-183592に記載の電子スチルカメラは、撮像光学系や固体撮像デバイスを有するカメラ本体にメモリ（メモ리카ード）が着脱可能に接続され、撮像デバイスで撮像された静止画

像を要す映像信号がこのメモリにデジタル信号の形で蓄積される。この映像信号の記憶されたメモリは電子スチルカメラから外されて再生装置に装填され、再生装置でメモリから読み出された映像信号は映像モニタのスクリーンに可視画像として再生される。

現在実用段階にあるメモリは、たとえばSRAM半導体メモリを装填回路(IC)カードまたはカートリッジなどの「モジュール」の形態で搭載した置換え可能なデジタル記憶装置である。そのデータ蓄積容量は1Mビット程度であり、たかだか1Mビット程度のものの実用化が期待されるにすぎない。したがって、たとえば十分な画質が要求される場合、1コマの画像を1Mビットないしは1.5Mビットのデータで要すると、1チップのSRAMでは2ないし3コマ程度の画像しか記憶できない。

しかし、常に十分な画質の撮影が求められるとはかぎらず、その場合でも2、3コマ程度の画像しか記憶できないのでは、カメラとしての機能を十分に果たし得ないのが現状である。したがっ

てのうちの一方のフィールドのみを記憶するようにしてもよい。また、このような圧縮を行なう記憶と圧縮しない通常の記憶とがカメラの操作で選択できるようにしてもよく、その場合、いずれの記憶モードをとったかを画像記憶メモリに記憶しておくように構成してもよい。画像再生装置では、メモリに記憶されている記憶モードを読みとってそれに適した再生モードを選択する。

本発明によれば、静止画像を要す映像信号がデジタルデータの形で蓄積される半導体メモリが振読されるデジタル電子スチルカメラは、半導体メモリを回路的に振読する振読手段と、撮像デバイスを有し撮像デバイスで被写界を撮像して被写界を要す映像信号を出力する撮像手段と、撮像手段から出力される映像信号を対応するデジタル信号に変換して振読手段へ出力する信号変換手段と、撮像手段および信号変換手段を制御して撮像手段に撮像を行なわせ、信号変換手段にデジタル信号への変換を行なわせるとともに、振読手段に半導体メモリへの読み込みのための制御信

号を供給する制御手段とを有し、制御手段は、信号変換手段から出力される映像信号を圧縮して振読手段に制御信号とともに供給する。

## 目的

本発明は、このような要求に応じ、撮影目的に応じて画質および撮影容量を選択できるデジタル電子スチルカメラを提供することを目的とする。

## 発明の開示

本発明によれば、映像信号を圧縮することによって1コマの画像の記憶に必要なデータ量を少なくする。その圧縮は、たとえば、映像信号をサンプリングする際のサンプリング間隔を低くして1コマの画像を要す画素信号を所定の間隔で間引くことでよい。または、水平走査線を垂直方向に所定の間隔で間引いてもよい。または、アナログ映像信号をデジタル信号に変換する際の量子化ビット数を削減してもよい。さらに、飛越走査されている映像信号では、2つのフィールド

号を供給する制御手段とを有し、制御手段は、信号変換手段から出力される映像信号を圧縮して振読手段に制御信号とともに供給する。

## 実施例の説明

次に添付図面を参照して本発明によるデジタル電子スチルカメラの実施例を詳細に説明する。

第1図を参照すると、本発明によるデジタル電子スチルカメラの実施例が示され、同実施例は、撮像部12を有するカメラ10と、これにコネクタ14を介して着脱可能に接続されるメモリ90とを有する。同図においてこのコネクタ14から左側の矢印部分がデジタル電子スチルカメラとして単一の筐体へ格納される。

メモリ90は、たとえばSRAM半導体メモリを装填回路(IC)カードまたはカートリッジなどの「モジュール」の形態で搭載した置換え可能なデジタル記憶装置であり、データの入出力線92、なら

びにアドレス、読出し/書込みイネーブル、チップセレクト、ストロブおよびクロックなどを含む制御線94がコネクタ14を介してカメラ10に接続される。なおコネクタ14は、メモリ90の給電線を有していてもよい。メモリ90は、たとえば、1コマの画像を1Kないし1.5Kビットのデータで表わす通常の記録モードでは、第3図に示すように1チップ4Kビットの記憶容量のSRAMに4コマ×1~4まで記憶することができる。

図像部12は、図示のように図像レンズ16、絞り18、シャッタ20、図像デバイス22、測光・測距機構、ビューファインダ（図示せず）およびそれらの駆動機構などの静止画像の撮影に必要な要素を有し、図像レンズ16の合焦、絞り18の制御、シャッタ20の開閉などはシステム制御回路24から制御線26を介して制御される。図像デバイス22は、たとえばCCDもしくはMOSなどの固体図像デバイス、または撮像管が有利に適用される。固体図像デバイスの場合、デバイス22の図像セルアレイ28には色フィルタが設けられ、パルス発生器30

から駆動線32を通して受ける周波数1sのサンプリングパルスに反応して色変調された映像信号をその出力34に点（画素）順次にて出力する。図像デバイス22は、図像セルアレイ28の感光セルの配列、すなわち感光領域の画素数が適宜のものが使用され、またその色フィルタの色セグメント配列もいずれの方式のものであってもよい。

図像デバイス22の映像信号出力34はアナログ・デジタル変換器(ADC)36の入力に接続され、同変換器36はその入力34のアナログ形式の映像信号を、たとえば8ビットの対応するデジタルデータに変換してその出力42に出力する信号変換回路である。出力42は図示のようにスイッチ回路192を介してコネクタ14に接続され、最終的にはメモリ90のデータ入出力線92に接続される。

パルス発生器30は、システム制御回路24から制御線46を介して制御され、図像デバイス22を駆動してその出力34から映像信号を出力させるのに必要なクロックまたはアドレスなどの駆動信号を出力32に出力する同期信号発生回路である。これ

は、周波数1sのサンプリングパルスを出力32および220に発生する。また、周波数1sを1/n（nは自然数）、たとえば1/2に減速して低い周波数のパルスをその出力222に出力する分周機能も有する。出力220および222は、図示のようにスイッチ回路224を介してアナログ・デジタル変換器36およびタイミング回路226の入力226に接続されている。スイッチ回路224は、点線230にて概念的に示すように、システム制御回路24の制御のもとに図示の接続状態、およびこれと反対の接続状態を選択的にとる選択回路である。

システム制御回路24は、操作表示部44からの信号線52による指示信号に反応して本装置全体の動作を制御する制御機能部であり、処理システムにて有利に構成される。その制御信号は、制御線46を介してパルス発生器30に、制御線26を介して図像部12に、そして制御線180を介してコード発生回路184に接続されている。システム制御回路24はまた、これらの制御線46および26によって装置各部の状態を監視している。システム制御回路24

はまた、メモリ90の主として書込みを制御する機能も有し、その書込みアドレスを与えるアドレスバス54がコネクタ14に接続されている。

タイミング回路226は、メモリ90の主として書込み制御に必要な様々なタイミング信号、たとえば、書込みイネーブル、チップセレクトおよびクロックなどをその出力232に発生する制御回路であり、その制御線232がコネクタ14に接続されている。

コード発生回路184は、その制御入力180がシステム制御回路24に接続され、制御入力180からの指示に対応した本装置の動作モード、すなわち記録モードを示すコード信号をその出力190に発生する符号化回路である。制御入力180には、比較的解像度の高い標準記録モード、および比較的解像度の低い多数記録モードを示す指示がシステム制御回路24から伝送される。コード発生回路184の出力190は図示のようにスイッチ回路192に接続されている。スイッチ回路192は、点線194にて概念的に示すように、システム制御回路

24の制御のもとに図示の接続位置、およびこれと反対の接続位置を選択的にとる選択回路である。

操作表示部44は、シャッターリリースボタンや、自動/手動設定、露光設定、白バランス調整などの様々な手動操作ボタンを有して本装置に操作者の指示を入力し、これを信号線52によってシステム制御回路24に与える機能を有するとともに、システム制御回路24から本装置の状態を示す信号を信号線52から受けてこれを操作者に表示する表示機能を有する。

操作表示部44はさらに、スイッチ234を有し、このスイッチ234は、標準記録モードおよび多数記録モードを選択するための手操作回路である。標準記録モードは、本実施例では1コマのデータを8ビットで表わし、1コマの画像、たとえば40万画素をたとえば18ビットないしは1.5Kビットで表わす比較的解像度の高い記録モードである。この標準記録モードでは、第3図に示すようにたとえば4コマの画像01~04の映像信号データが1つ

は、スイッチ回路192を通してコネクタ14に出力される。システム制御回路24はこれとともに、出力54に制御線54を通してメモリ90の記憶コードを記憶する記憶位置238を指示する書き込みアドレスを出力する。またタイミング回路228からその出力232を通してメモリ90の制御入力236に書き込みイネーブル、チップセレクトおよびクロックなどの制御信号が与えられる。こうして記憶コードがメモリ90の記憶領域238に記憶される。その後システム制御回路24はスイッチ回路192を図示の接続位置に復帰させる。

操作表示部44のスイッチ234にて標準記録モードが設定されていると、システム制御回路24は制御線230を介してスイッチ回路224を図示の接続状態に設定する。操作表示部44のシャッターリリースボタンを操作すると、システム制御回路24は制御線26を制御してシャッター20の開放などを合む撮影動作を行なう。これによって画像デバイス22に撮像された1コマの被写体画像は、パルス発生器30からクロック線32を通して与えられる周波数1s

のメモリモジュール90に記憶される。多数記録モードは、比較的解像度の低い記録モードであり、1コマの画像、たとえば40万画素を20万画素に間引くことによって512Kビットないしは1Kビットで表わす。この多数記録モードでは、第4図に示すようにたとえば8コマの画像01~08の映像信号データが1つのメモリモジュール90に記憶される。

動作を説明する。メモリ90をコネクタ14によってカメラ10に装着し、操作表示部44を操作して被写体の撮影動作を行なう。システム制御回路24はまず、スイッチ回路192を図示の接続状態と反対の状態に切り換え、操作表示部44に設定されている記録モードを示すコード信号のメモリ90への記憶を実行する。システム制御回路24はそこで、操作表示部44のスイッチ234でそのときに設定されている記録モードを示す指示を適当なタイミングにて制御出力180に指示を与える。コード発生回路184は、この指示に対応したコードを表わす信号をその出力190に発生し、これらのコード信号

のクロックに従って画像デバイス22から出力34に点順次映像信号の形で出力される。

アナログ・デジタル変換器36は、パルス発生器30の発生する同期信号に従って付勢される。すなわちこの例では、出力220から得られる周波数1sのサンプリングパルスがスイッチ回路224を通してその入力228に与えられ、これによって駆動される。そこで点順次映像信号は、アナログ・デジタル変換器36によって対応するデジタルデータに変換されてその出力42からスイッチ回路192を通してコネクタ14に出力される。

システム制御回路24はこれとともに、前述と同様にメモリ90の書き込みアドレスを制御線54に出力し、タイミング回路228はコード信号はその出力232に書き込みイネーブル、チップセレクトおよびクロックなどの制御信号を出力する。そこでこれに同期して、メモリ90の順次の記憶位置にはデータ線92に入力される映像信号が次々に書き込まれる。こうして1コマの画像のすべての画素、すなわち画像セルアレイ20の全画素の映像信号

データがメモリ90の記憶領域に蓄積される。

操作表示部44のスイッチ234にて多数記録モードが設定されていると、システム制御回路24は制御線230を介してスイッチ回路224を図示と反対の接続状態に設定する。そこで、操作表示部44のシャッターリリースボタンの操作に応動して撮像デバイス22に結像された1コマの複写体画素は、周波数1sのクロックに従って撮像デバイス22からアナログ・ディジタル変換器36に入力される。この例では、アナログ・ディジタル変換器36は、パルス発生器30の出力220からスイッチ回路224を通してその入力228に得られる周波数1/21sのサンプリングパルスによって駆動され、対応するディジタルデータに変換してその出力42からスイッチ回路192を通してコネクタ14にこれを出力する。この駆動周波数1/21sは通常の周波数の1/2であるので、アナログ・ディジタル変換器36は各水平走査線において1つおきの画素についてサンプリングを行ない、残りの画素の画素データはサンプリングしない。したがって撮像セルアレイ28の全

この実施例の装置にてメモリ90に記憶された映像信号は、たとえば第2図に例示するような構成の再生装置120にて再生される。再生装置120はメモリ90が存脱可能に接続されるコネクタ122を有し、これによってその読出しデータ線98が再生装置120のデータ入力250に接続される。また、その制御線94はコネクタ122を介してシステム制御回路128の制御線270に接続される。データ入力250は、スイッチ回路252を介して一方では他のスイッチ回路254および補間処理回路256に接続され、他方では制御回路128の入力258に接続されている。スイッチ回路252および254はそれぞれ、点線260および262にて概念的に示すように、システム制御回路128の制御のもとに図示の接続状態、およびこれと反対の接続状態を選択的にとる選択回路である。

補間処理回路256は、その入力264に到来する映像信号に間引かれた画素があればこれを所定の方法に従って補間する信号補間回路であり、この

画素の半分の画素についてのみの映像信号データが変換回路36の出力42に出力される。

この画素の間引きは、たとえば第5図に示すように、1つおきの水平走査線について同じ1つおきの画素位置について行ない、他の走査線についてはその前後の走査線と交互の画素位置をとるようにしてもよい。同図で点線の画素240がサンプルされなかった画素を示し、実線の画素242がサンプルされた画素を示している。こうしてこの実施例では、水平走査線内における画素の間引きことによって、映像信号の圧縮を行なっている。

この実施例では、1つのメモリ90に記憶される全コマについて共通に記録モードを記憶領域238に記憶する。しかしこのようにしないで、1コマの画素を撮像デバイス22で撮影することに記録モードをメモリ90にそれらのコマ対応に記憶するように構成してもよい。こうすることによって、たとえばメモリ90の全記憶容量のうちに標準記録モードで撮影した画素と多数記録モードで撮影した画素とを混在させることができる。

補間を行なうか否かは制御回路128から制御線266によって指示される。第1図に示すカメラ10によって多数記録モードで撮影された画素は、たとえば第4図に示すように画素が間引かれているが、この間引かれた画素を、たとえばその上の走査線の直上の画素、または同じ走査線の直前の画素などの信号によって補間する処理を行なう。補間された映像信号はその出力268からスイッチ回路254に出力される。

スイッチ回路254は信号処理回路200の入力202に接続されている。信号処理回路200は、入力202のディジタル映像信号を色分離し、たとえば白バランスの調整および閉調(γ)補正などの必要な映像信号処理をこれに施してこれをその出力204に出力する映像信号処理回路である。それらの映像信号処理を適切に行なうためのデータは、システム制御回路128から制御線206を介して信号処理回路200に設定され、同回路200はこれに基づいて映像信号処理を行なう。出力204はメモリ272に接続されている。

メモリ272は、1画面の全画素を有する映像信号を蓄積する記憶装置であり、その読出しデータ出力274はデジタル・アナログ変換器(DAC)124に接続されている。デジタル・アナログ変換器124は、入力274の映像信号を対応するアナログ信号に変換して装置出力132に出力する信号変換回路である。装置出力132は最終的には、たとえば映像モニタおよび(または)プリンタなどの画素出力装置が接続され、これによって出力132の映像信号が可視画像として出力される。

再生装置120の各要素はシステム制御回路128にて制御される。システム制御回路128には、図示のように操作表示部136が接続され、処理システムにて有利に構成される。操作表示部136は、再生ボタンや、コマ指定ボタン、白バランス調整、階調調整などの様々な手動操作ボタンを有し、本装置に操作者の指示を入力し、これを信号線210によってシステム制御回路128に与える機能を有するとともに、システム制御回路128から本装置の状態を示す信号を信号線210から受けて

する操作者の指示が入力されると、システム制御回路128は、これに反応して所定の基本周波数に従ってメモリ90の制御線34にその読出し用のアドレスなどの制御信号を供給する。これによってメモリ90からは、指定されたコマの映像信号データが読み出される。標準記録モードに設定されている場合、スイッチ回路254が図示の接続状態にあるので、この映像信号はスイッチ回路254を通して信号処理回路200の入力202に入力される。多段記録モードが設定されていると、補間処理回路256が制御線266によってシステム制御回路128から付与され、補間処理回路256はその入力264に読み出された映像信号の間引きされた画素を補間してその出力268に出力する。画素の補間された映像信号はスイッチ回路254を通して信号処理回路200に入力される。

信号処理回路200は、入力202に与えられる点順次映像信号を、システム制御回路128から制御線208を通して受ける画素クロックおよび制御信号に従ってそれぞれの色信号、たとえば赤(R)、緑

これを操作者に表示する表示機能を有する。

メモリ90をコネクタ122に装置すると、システム制御回路128はまず、制御線260によってスイッチ回路252を図示の接続位置と反対の接続位置にするとともに、制御線270にメモリ90の記憶領域238のアドレス、およびその読出し用の制御信号を供給する。これによって記憶領域238からは、記録モードを示すコードが読み出され、これはスイッチ回路252を通して制御回路128に取り込まれる。システム制御回路128は、この記録コードにより、そのメモリ90に映像信号が標準記録モードで記憶されているのか、多段記録モードで記憶されているのかを判定する。標準記録モードであればスイッチ回路254を制御線262によって図示の接続位置にし、多段記録モードであればこれを図示と反対の接続位置にする。なお、この読み込みを終了すると、システム制御回路128はスイッチ回路252を図示の接続状態に戻させる。

操作表示部136から所望のコマの読出しを指定

(G)および青(B)に分類し、図影光線の色温度による白バランスのずれを補正したり、図像デバイス22の非線形特性などによる階調のずれを補正する。信号処理回路200から出力された映像信号データは、一旦メモリ272に蓄積され、さらにデジタル・アナログ変換器124によってアナログ信号に変換されて装置出力132に出力される。最終的には、たとえば映像モニタ134および(または)プリンタなどに可視画像として再生される。

このように本実施例では、カメラ10にて多段記録モードを選択すると、図像された1画面に含まれる画素を所定の方法で間引いてこれをメモリ90に記憶する。また多段記録モードを選択したこともメモリ90に記憶する。再生装置120では、メモリ90の読出しの際、記録モードを参照し、多段記録モードが選択されている場合、この間引いた画素を所定の方法に従って補間して完全な映像信号を作成する。



この実施例では水平走査線内の画素の間引きを行なったが、水平走査線自体の間引くことによって映像信号の圧縮を行なってもよい。たとえば1本おきに走査線の間引くことによって1フィールドの映像信号で1コマの画素を記録するようにしてもよい。また、この走査線の間引きと画素の間引きを併用してもよい。後者の実施例を第6図に示す。

第6図に示す実施例のカメラ10aでは水平方向の画素の間引きと垂直方向の間引きも選択的に行なうことができる。以降の図において、これまでの図に示す構成要素と同様の要素は同じ参照符号で示されている。第1図に示す実施例と相違する点は、パルス発生器30からスイッチ回路224を通じた出力228にスイッチ回路300が介挿されていることである。スイッチ回路300は、同252などと同様に点線302にて示すようにシステム制御回路24の制御のもとに図示の接続状態、およびこれと反対の接続状態を選択的にとる選択回路であり、図示と反対の接続位置は基準電位に接続した

ておく。これによって、その期間はアナログ・デジタル変換器36およびタイミング回路228が動作せず、したがってその走査線の映像信号はメモリ90に書き込まれない。スイッチ回路300が図示の接続位置に接続されている1H期間は、パルス発生器30の出力220または222から得られるクロックパルスによってアナログ・デジタル変換器36およびタイミング回路228が動作し、その走査線の映像信号がメモリ90に蓄積される。こうして1つおきの走査線の間引くことによって映像信号を圧縮してメモリ90に記憶させる。したがって、1画面あたりの映像信号のデータ量が少なく済み、メモリ90に標準記録モードより多いコマ数の映像信号を格納することができる。

この走査線の間引きは、たとえば1本おきの水平走査線について行なってもよく、または所定の数の水平走査線ごとに1本の走査線について行なってもよい。さらに、この走査線の間引きと水平方向の画素の間引きとを並行して行なうようにしてもよい。

たとえば接地されている。また表示操作部44はスイッチ234aを有し、これは前述の実施例のスイッチ234と同様の機能を有する他に、画素の垂直方向に走査線の間引くことを指定する機能も有する。またコード発生回路184は、多数記録モードとして水平走査線における画素の間引きを示すコード信号と、垂直方向の間引きを示すコード信号とを発生する機能を有する。他の回路は第1図に示す実施例と同様でよい。

表示操作部44にて走査線の垂直方向の間引きが指定されると、システム制御回路24は、コード発生回路184およびスイッチ回路192を制御してメモリ90の記憶領域238に垂直方向の間引きを示すコード信号を発生させ、これは前述と同様にしてメモリ90の記憶領域238に書き込まれる。

システム制御回路24は、撮像部12を制御して撮像デバイス22から映像信号を読み出すとき、制御線302によってスイッチ回路300を制御して、たとえば1つおきの水平走査線の画素信号を読み出している期間はスイッチ回路300を接地側に接続し

この実施例によるカメラ10aにて撮影された画素は、第7図に示す再生装置120aにて再生される。再生装置120aは、補間処理回路256aが垂直方向における水平走査線の補間を可能としている点で第2図に示す再生装置120と相違する。補間処理回路256aは、欠落した走査線の画素信号を所定の方法、たとえばその直上の水平走査線の画素信号で補間するなどして完全な画素の画素を作成する。システム制御回路128は、メモリ90の記憶領域238から記録コードを読み取って、それが垂直方向における走査線の間引きの多数記録モードを識別すると、補間処理回路256aを制御して欠落した走査線の補間処理を行なわせる。他の動作は第2図の再生装置120と同様である。

第8図を参照すると、本発明の他の実施例のカメラ10bでは、多数記録モードが指定されると、アナログ・デジタル変換器36の出力42に出力されたこの例では8ビットの映像信号データのうち

上位  $N$  ビット ( $N$  は自然数) のみを選択し、下位の  $8-N$  ビットは切り捨てることによって映像信号の圧縮を行なっている。この下位ビットの切り捨てを、出力42に接続されたビット選択回路320にて行なっている。

ビット選択回路320は、制御組322によりシステム制御回路24にて制御され、通常記録モードか多段記録モードかの指示を受ける。通常記録モードの場合は入力42の8ビットの映像信号データをそのまゝ出力324へ出力する。出力324はスイッチ回路192に接続されている。また多段記録モードが指定されると、入力42の8ビットの映像信号データのうち上位  $N$  ビット、たとえば4ビットのみをそのまま出力324へ伝送し、下位の4ビットは切り捨て、出力324から出力しない。こうしてアナログ・デジタル変換器38から出力された量子化ビットの下位ビットを削除して1画面当りの所定ビット数を減らすことによって映像信号を圧縮し、メモリ90に記憶させる。したがって、1画面当りの映像信号のデータ量が少なくなり、メモ

リ90に標準記録モードより多いコマ数の映像信号が格納される。

カメラ10bで撮影された画像は、図9図に示す再生装置120bにて再生される。この再生装置120bは、ビット付加回路340を有する点で再生装置120および120aと相違する。スイッチ回路252の出力264はビット付加回路340に接続され、ビット付加回路340の出力274がデジタル・アナログ変換器124に接続されている。ビット付加回路340は、基準電位入力、たとえば接地入力342を有し、制御回路128から制御組344によって動作モードが指示される。ビット付加回路340は、動作モードとして標準記録モードが指示されると、入力264から入力される、この例では8ビットの映像信号データをそのまゝ出力274に伝送する機能を有する。また、多段記録モードが指示されると、入力264から入力される  $N$  ビット、たとえば4ビットの映像信号データを上位のビットとしてそのまゝ出力274に伝送するとともに、所定の処理レベル、たとえば接地入力342による処理

「0」を有する  $8-N$  桁のビット、この例では4ビットを下位ビットとして付加してその出力274から出力するビット付加機能を有する。こうして、カメラ10bで切り捨てられた映像信号データのビットを所定の処理レベルのビットで補い8ビットの完全な映像信号データを再生する。これは、デジタル・アナログ変換器124にてアナログ映像信号に変換され装置出力132から出力される。

なお映像信号の圧縮の仕方は、これらの実施例の方法に限定されない。たとえば、図示デバイス22で撮影された1画面の画像領域の周縁部を所定の幅だけ削除して被写界の主要部分を含む中央領域の映像信号のみをメモリ90に保存するなど、他の方法でもよい。

#### 効果

本発明によればこのように、映像信号の圧縮によって1コマの画像の記憶に必要なデータ量を少なくしている。したがって、撮影目的に応じて画質および撮影容量の選択を行なうことができる。

また、いずれの記録モードをとったかが画像記憶メモリに記憶され、画像再生装置では、この記録モードを識別してそれに適した再生モードで映像信号の再生を行なう。

#### 4. 図面の簡単な説明

第1図は本発明によるデジタル電子スチルカメラの実施例を示す機能ブロック図。

第2図は、第1図に示す実施例によってメモリに記憶された映像信号を再生する再生装置の構成例を示す機能ブロック図。

第3図は、同実施例において通常の記録モードによる撮影でメモリに蓄積された映像信号データの蓄積の模様を概念的に示す説明図。

第4図は、同実施例において多段記録モードによる撮影でメモリに蓄積された映像信号データの蓄積の模様を概念的に示す第3図と同様の説明図。

第5図は同実施例における画像の間引きの例を示す説明図。

第6図および第8図は、本発明によるカメラの

他の実施例を示す第1図と同様の機能ブロック図。

第7図および第9図はそれぞれ、第6図および第8図に示す実施例によってメモリに記憶された映像信号を再生する再生装置の構成例を示す第2図と同様の機能ブロック図である。

主要部分の符号の説明

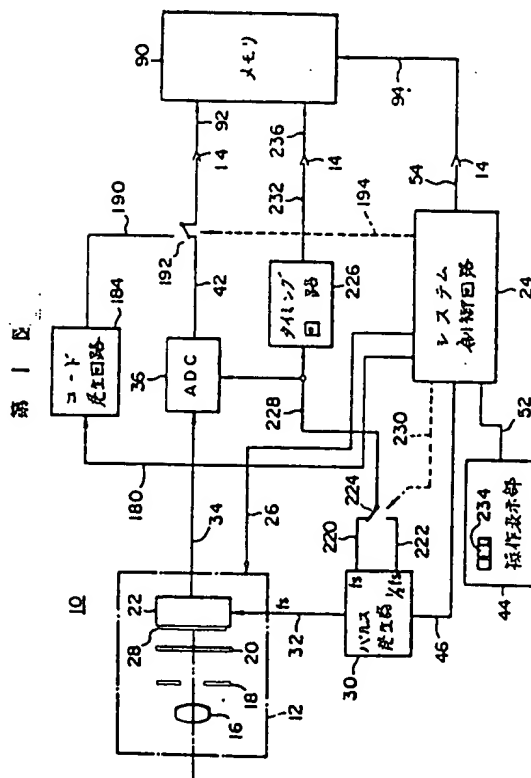
- 12... 撮像部
- 22... 送信デバイス
- 24, 128... システム制御回路
- 30... パルス発生器
- 36... アナログ・デジタル変換器
- 90... メモリ
- 120... 再生装置
- 184... コード発生回路
- 192, 224... スイッチ回路
- 226... タイミング回路
- 234... スイッチ
- 238... 記憶領域

- 256... 補間処理回路
- 320... ビット選択回路
- 340... ビット付加回路

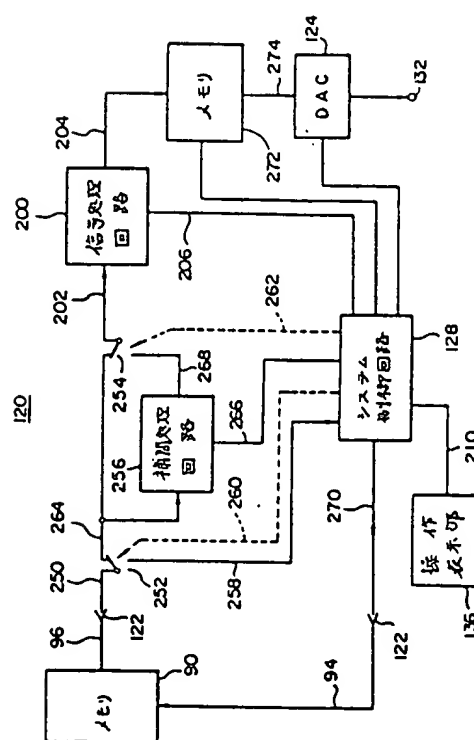
特許出願人 富士写真フイルム株式会社

代理人 香取 孝雄

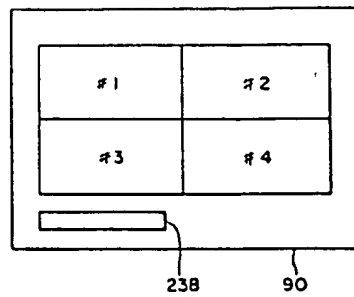
丸山 俊夫



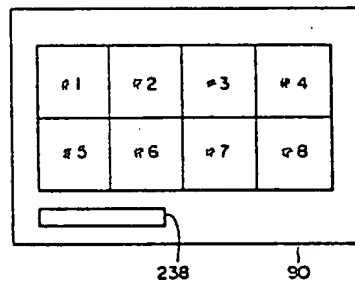
第2図



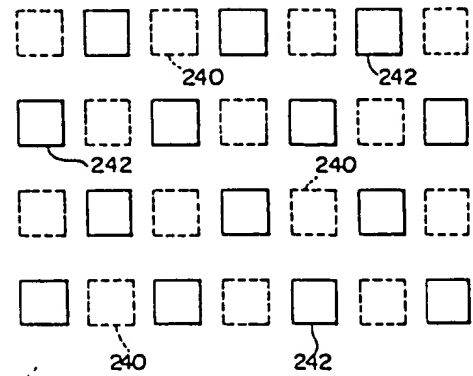
第 3 図



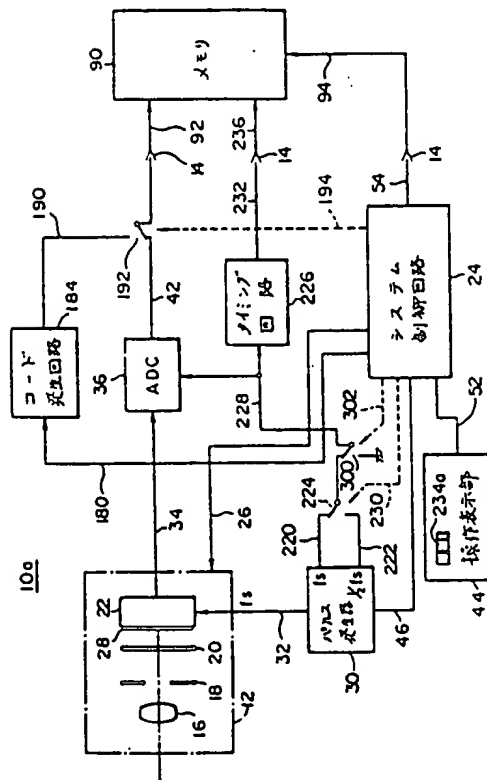
第 4 図



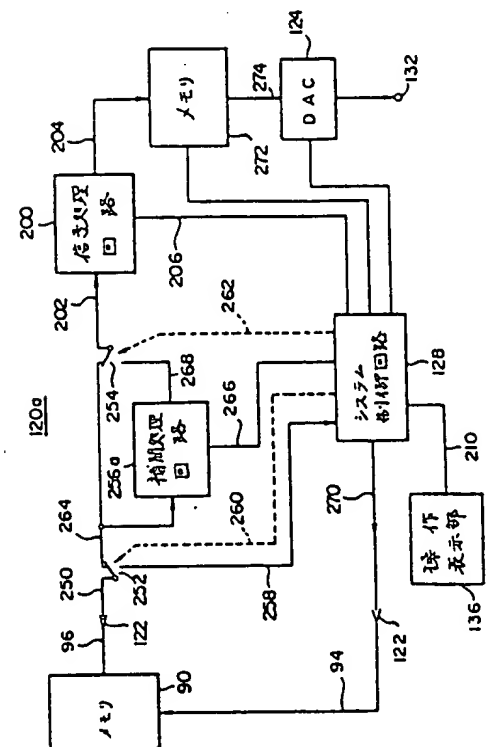
第 5 図



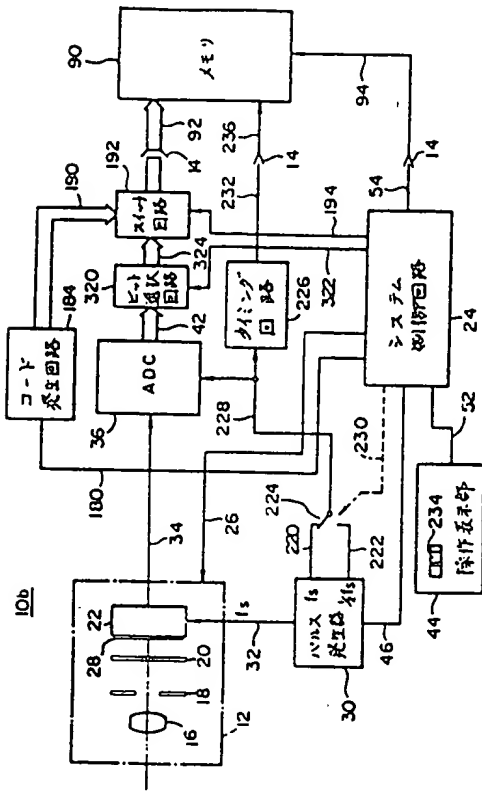
第 6 図



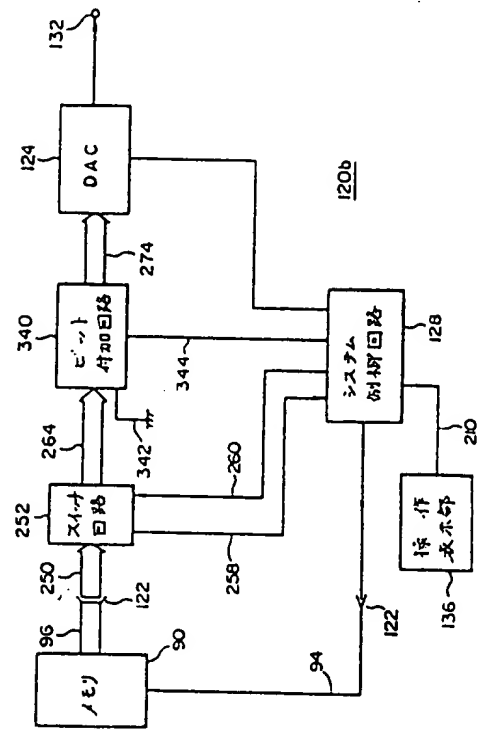
第 7 図



第 8 図



第 9 図

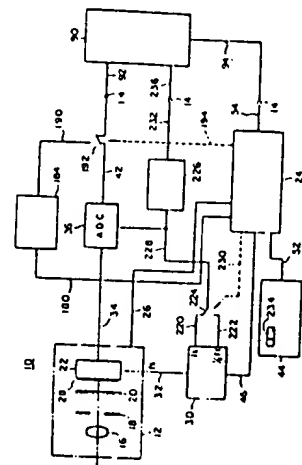


**(54) DIGITAL ELECTRONIC STILL CAMERA**

(11) 63-286078 (A) (43) 22.11.1988 (19) JP  
 (21) Appl. No. 62-120129 (22) 19.5.1987  
 (71) FUJI PHOTO FILM CO LTD (72) MIKIO WATANABE(1)  
 (51) Int. Cl. H04N5/91, H04N5/907, H04N5/92

**PURPOSE:** To easily select the picture quality and the pickup capacity in response to the object of pickup by controlling an image pickup means and a signal conversion means so as to allow an image pickup means to pickup an image and allowing a signal converting means to convert a digital signal and providing a control means to supply a control signal for the write to a semiconductor memory to a connection means.

**CONSTITUTION:** A memory 90 is mounted to a camera 10 by a connector 14 and an operation display section 44 is operated to pickup an object. A system control circuit 24 throws at first a switch circuit 192 to the position opposite to the connection state shown in figure, to execute the storage of the code signal representing the recording mode set by the operation display section 44 into the memory 90. An analog digital converter 36 is driven by a sampling pulse of a frequency  $1/2f_s$  obtained at the input 228 through a switch circuit 224 to output a corresponding digital data to the connector 14 through the switch circuit 192. Thus, the video signal data is outputted to an output 42 of the conversion circuit 36 only as to picture elements being a half the total picture elements of an image pickup cell array 28.



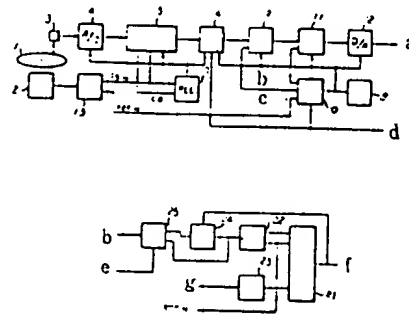
184: code generating circuit, 226: timing circuit, 30: pulse generator

**(54) RECORDING VIDEO SIGNAL REPRODUCING DEVICE**

(11) 63-286079 (A) (43) 22.11.1988 (19) JP  
 (21) Appl. No. 62-121838 (22) 19.5.1987  
 (71) PIONEER ELECTRONIC CORP (72) YOSHIAKI MORIYAMA  
 (51) Int. Cl. H04N5/93

**PURPOSE:** To prevent lateral fluctuation of a synthesized picture on a display screen by generating a synthesis picture signal for picture synthesis based on a fixed reference signal and giving the same time shift to the synthesis picture signal by the same time if a time shift exists in the regenerative video signal in synthesizing the synthesis picture signal to a regenerative video signal obtained from a recording medium.

**CONSTITUTION:** A synthesis picture signal generated by a synthesis picture signal generating circuit 22 becomes an input to a selector 25 via a shift register 24 and also becomes directly the other input to the selector 25. The shift register 24 applies time shift (delay) to an input signal by a prescribed clock number, e.g., a time corresponding to  $T_{sc}/2$ , where  $T_{sc}$  is a period of a chrominance subcarrier. The selector 25 selects an output of the shift register 24 in case of time shift application and selects the input of the shift register 24 in case of no time shift respectively based on the said time shift command signal and gives the result to a synthesis circuit 11 as a synthesized picture signal.



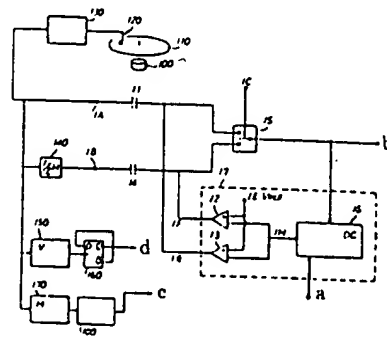
2: spindle motor, 13: spindle motor servo, 5: regenerative signal processing, 6: time axis correction, 9: signal switching, 10: signal generation, 8: reference clock generation, 21: reference signal generation, 23: video signal generation, a: video signal output, b: synthesized picture signal, c: generated video signal, d: time shift command signal, e: time shift, f: reference clock, g: generated video signal

**(54) SIGNAL PROCESSING UNIT**

(11) 63-286080 (A) (43) 22.11.1988 (19) JP  
 (21) Appl. No. 62-120007 (22) 19.5.1987  
 (71) CANON INC (72) MAKOTO ISE  
 (51) Int. Cl. H04N5/93, H04N5/95

**PURPOSE:** To attain no adjustment for the DC level adjustment by providing a changeover means outputting a signal retarded by a delay means and a signal not retarded switchingly alternately for each field period and a means adjusting a level of a signal switched by the changeover means.

**CONSTITUTION:** A video signal output of one field read by a magnetic head 120 from a magnetic disk 110 and formed by a regenerative signal processing circuit 130 is given to one terminal 1A as a through system signal and inputted to other terminal 1B as a compensation system signal via a  $1/2H$  delay line at the same time. An output signal is given to a detection circuit 16 detecting the DC level of a sink chip on one hand, from which a detection value 1H is outputted, which is detected while being controlled by a pulse from a monostable multivibrator 180. The value 1H is compared with a reference value  $V_{REF}$  being a reference voltage while being fed from an input terminal 1E by comparators 12, 13, then feedback biases 1F, 1G are outputted through comparators 12, 13 and fed to a feedback loop in which a through system signal and a compensation system signal are used.



100: motor, 1A: through system, 1B: compensation system, 15: analog switch, a: from 180, b: output signal, c: to 16, d: to 1C, 150: V synchronizing separator circuit, 170: H synchronizing separator circuit, 160: flip-flop circuit, 17: feedback control system